OIPE JC14
NOV 03 2003
PATENT & TRADEMARK OFFICE

ATTORNEY'S DOCKET NO.: S1022.81094US00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Davide TESI and Ugo ZAMPIERI
Serial No.: 10/682,620
Filed: October 9, 2003
For: INTEGRATED DIGITAL TEMPERATURE SENSOR

Examiner: Unassigned
Art Unit: Unassigned Confirmation No. Unassigned

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir/Madam:

Transmitted herewith for filing is/are the following document(s):

[X] Declaration and Power of Attorney (original)
[X] Certified Copy of French Priority Application No. 0212552
[X] Return Post Card

If the enclosed papers are considered incomplete, the Mail Room and/or the Application Branch is respectfully requested to contact the undersigned collect at (617) 720-3500, Boston, Massachusetts.

No check is enclosed. If it is determined that a fee is necessary, the fee may be charged to the account of the undersigned, Deposit Account No. 23/2825. A duplicate of this sheet is enclosed.

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this document is being placed in the United States mail with first-class postage attached, addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on October 30, 2003.

Respectfully submitted,

Davide Tesi et al., Applicant

By: _____
James H. Morris
Reg. No.: 34,681
WOLF, GREENFIELD & SACKS, P.C.
600 Atlantic Avenue
Boston, Massachusetts 02210
Tel. (617) 720-3500

Attorney Docket No.: S1022.81094US00
XNDD

745770

SN 10/682,620

R E P U B L I Q U E F R A N Ç A I S E

INPI
INSTITUT NATIONAL DE LA PROPRIETE INDUSTRIELLE

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 30 SEP. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT NATIONAL DE LA PROPRIETE INDUSTRIELLE
SIEGE
26 bis, rue de Saint Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

ETABLISSEMENT PUBLIC NATIONAL CREE PAR LA LOI N° 51-444 DU 19 AVRIL 1951

1er dépôt

INPI
INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

cerfa N° 55 -1328

REQUÊTE EN DÉLIVRANCE 1/2

Réservé à L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES
DATE 9 OCT 2002
LIEU 38 INPI GRENOBLE
N° D'ENREGISTREMENT 0212552
NATIONAL ATTRIBUÉ PAR L'INPI
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 09 OCT. 2002

Vos références pour ce dossier
(facultatif) B5637

❶ NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

Cabinet Michel de Beaumont
1 rue Champollion
38000 GRENOBLE

Confirmation d'un dépôt par télécopie ☐ N° attribué par l'INPI à la télécopie

❷ NATURE DE LA DEMANDE	Cochez l'une des 4 cases suivantes
Demande de Brevet	[X]
Demande de certificat d'utilité	☐
Demande divisionnaire	☐
Demande de brevet initiale	N° Date / /
ou demande de certificat d'utilité initiale	N° Date / /
Transformation d'une demande de brevet européen *Demande de brevet intiale*	☐ N° Date / /

❸ TITRE DE L'INVENTION (200 caractères ou espaces maximum)

CAPTEUR NUMÉRIQUE DE TEMPÉRATURE INTÉGRÉ

❹ DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE	Pays ou organisation Date N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° ☐ **S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"**
❺ DEMANDEUR	☐ **S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"**
Nom ou dénomination sociale	STMicroelectronics SA
Prénoms	
Forme juridique	Société anonyme
N° SIREN	
Code APE-NAF	
ADRESSE Rue	29, Boulevard Romain Rolland
Code postal et ville	92120 MONTROUGE
Pays	FRANCE
Nationalité	Française
N° de téléphone *(facultatif)*	
N° de télécopie *(facultatif)*	
Adresse électronique *(facultatif)*	

1er dépôt

INPI
INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

REQUÊTE EN DÉLIVRANCE 2/2

Réservé à L'INPI

REMISE DES PIÈCES
DATE 9 OCT 2002
LIEU 38 INPI GRENOBLE
N° D'ENREGISTREMENT 0212552
NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier : *(facultatif)* B5637		
6 MANDATAIRE		
Nom		
Prénom		
Cabinet ou Société		Cabinet Michel de Beaumont
N° de pouvoir permanent et/ou de lien contractuel		
ADRESSE	Rue	1 Rue Champollion
	Code postal et ville	38000 GRENOBLE
N° de téléphone *(facultatif)*		04.76.51.84.51
N° de télécopie *(facultatif)*		04.76.44.62.54
Adresse électronique *(facultatif)*		cab.beaumont@wanadoo.fr
7 INVENTEUR (S)		
Les inventeurs sont les demandeurs		☐ Oui ☒ Non **Dans ce cas fournir une désignation d'inventeur (s) séparée**
8 RAPPORT DE RECHERCHE		**Uniquement pour une demande de brevet (y compris division et transformation)**
Établissement immédiat		☒
ou établissement différé		☐
Paiement échelonné de la redevance		**Paiement en trois versements, uniquement pour les personnes physiques** ☐ Oui ☒ Non
9 RÉDUCTION DU TAUX DES REDEVANCES		**Uniquement pour les personnes physiques** ☐ Requise pour la première fois pour cette invention *(joindre un avis de non-imposition)* ☐ Requise antérieurement à ce dépôt *(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :*
Si vous avez utilisé l'imprimé "Suite", indiquez le nombre de pages jointes		

10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE
(Nom et qualité du signataire)

Michel de Beaumont
Mandataire n° 92-1016

VISA DE LA PREFECTURE OU DE L'INPI

D.R.GR.

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

CAPTEUR NUMÉRIQUE DE TEMPÉRATURE INTÉGRÉ

La présente invention concerne, de façon générale, les capteurs de température. Plus particulièrement, la présente invention concerne la réalisation d'un capteur numérique de la température interne d'un circuit intégré.

Un exemple d'application de l'invention concerne la caractérisation des circuits intégrés en température, c'est-à-dire la vérification des températures auxquelles le circuit fonctionne correctement. Lors des étapes finales de test d'un circuit intégré, pour vérifier ou déterminer cette plage de températures de fonctionnement correct, on soumet le circuit à un test spécifique. Ce test consiste à créer localement une atmosphère chauffée ou refroidie à la température voulue correspondant à une température de test. Cette atmosphère est projetée par un tuyau d'air pulsé le plus près possible d'un circuit intégré à tester, placé sur un support et mis en relation électrique avec un outil de test. Une fois créée l'atmosphère à la température voulue, on teste le fonctionnement du circuit intégré au moyen d'un outil externe. Le test est répété pour différentes températures afin, par exemple, de vérifier le fonctionnement correct du circuit dans la plage prévue.

Un problème qui se pose dans ce genre d'application est de connaître la température réelle du circuit intégré et, plus précisément, des températures de ses jonctions semiconductrices. D'une part, le circuit intégré est généralement placé dans un boîtier qui le protége partiellement des variations externes de température. D'autre part, en fonctionnement, les différentes parties du circuit chauffent différemment, ce qui peut fausser les mesures.

Classiquement, on utilise un capteur intégré avec le circuit pour déterminer une tension dont la variation en fonction de la température est connue. Un tel capteur est essentiellement constitué d'un transistor bipolaire intégré dans une même tranche semiconductrice que le circuit intégré à tester. On mesure alors, au moyen de l'outil externe de l'appareil de test, la tension base-émetteur du transistor dont la variation est fonction de la température T du substrat semiconducteur, typiquement du silicium, dans lequel est intégrée cette jonction base-émetteur. La variation du courant dans la jonction est imposée par l'outil externe de test sur l'émetteur du transistor. La variation de la température T en fonction de la tension se déduit de la formule :

$$I = I_{sat} \cdot \exp\left(\frac{q \cdot V_{BE}}{n \cdot k \cdot T}\right), \text{ où}$$

I est le courant imposé par la source externe sur l'émetteur du transistor de mesure, I_{sat} est le courant de saturation de la jonction base-émetteur de ce transistor, q est la charge élémentaire de l'électron, k est la constante de Boltzmann, et n est le facteur d'idéalité du transistor.

L'inconvénient des cellules de test classique est qu'il est nécessaire de connaître les caractéristiques du transistor constituant le capteur et notamment son courant de saturation et son facteur d'idéalité. En pratique, on est conduit à fixer une plage de facteurs d'idéalité pour laquelle le courant I imposé au transistor donne un résultat supposé valable.

Un autre inconvénient des structures classiques est qu'il est nécessaire de prévoir deux bornes d'accès au transistor de mesure depuis l'extérieur du circuit. Ces bornes qui ne servent qu'au test sont par la suite inutiles et sont préjudiciables en terme d'encombrement.

L'invention s'applique plus généralement dès que l'on souhaite exploiter une information liée à la température interne du circuit intégré.

La présente invention vise à proposer un capteur numérique de température d'un circuit intégré.

La présente invention vise également à proposer un tel capteur qui présente une marge d'erreur réduite par rapport aux capteurs de température connus.

L'invention vise également à proposer un capteur qui soit fiable quel que soit le facteur d'idéalité des transistors du circuit le constituant.

L'invention vise également à proposer un capteur qui soit compatible avec un processus de test, sans nécessiter de borne d'entrée-sortie supplémentaire par rapport aux bornes d'entrée-sortie classiquement disponibles sur un circuit intégré exécutant des fonctions numériques.

Pour atteindre ces objets et d'autres, la présente invention prévoit un capteur numérique de température en circuit intégré comprenant :

un convertisseur analogique-numérique fournissant un mot binaire représentatif d'une température interne au circuit intégré ; et

un circuit de fourniture d'une tension analogique représentative de la température du circuit et de génération d'une tension de référence pour le convertisseur analogique-numérique.

Selon un mode de réalisation de la présente invention, ledit circuit de fourniture comprend, en parallèle entre des première, deuxième, troisième et quatrième bornes d'un miroir de courant fournissant toutes un courant identique depuis un rail

haut d'alimentation et recopiant la tension de la première sur la deuxième borne, et un rail d'alimentation bas, respectivement :

un premier transistor bipolaire de type PNP monté en diode ;

un premier élément résistif en série avec un second transistor bipolaire de type PNP monté en diode, le deuxième transistor bipolaire étant de taille supérieure au premier ;

un deuxième élément résistif en série avec un troisième transistor bipolaire de type PNP monté en diode, le troisième transistor bipolaire étant de taille identique au premier et ladite troisième borne fournissant la tension de référence ; et

un élément de conversion courant-tension, ladite quatrième borne fournissant la tension analogique représentative de la température.

Selon un mode de réalisation de la présente invention, le capteur comporte un miroir de tension constitué de deux transistors MOS à canal N, recopiant la tension entre lesdites première et deuxième bornes.

Selon un mode de réalisation de la présente invention, ledit élément de conversion est une résistance.

Selon un mode de réalisation de la présente invention, le capteur comporte en outre un circuit d'étalonnage du convertisseur analogique-numérique propre à fournir des tensions respectives haute et basse déterminant la plage de conversion du convertisseur, la tension basse correspondant à ladite tension de référence.

Selon un mode de réalisation de la présente invention, le circuit d'étalonnage comporte un premier amplificateur opérationnel dont une entrée non-inverseuse reçoit ladite tension de référence et dont la sortie fournie ledit seuil haut de conversion, l'entrée non-inverseuse du premier amplificateur étant reliée au point milieu d'une association en série de deux

éléments résistifs variables entre la borne de sortie du premier amplificateur et le potentiel de référence ; et

un deuxième amplificateur opérationnel dont une borne d'entrée inverseuse reçoit la tension analogique fonction de la température et dont une entrée non-inverseuse est connectée au point milieu de deux éléments résistifs connectés en série entre la borne de sortie dudit deuxième amplificateur opérationnel et le potentiel de référence, le deuxième amplificateur opérationnel fournissant une tension amplifiée à convertir par ledit convertisseur analogique-numérique.

Selon un mode de réalisation de la présente invention, lesdits éléments résistifs variables sont constitués de réseaux de résistances commutables.

L'invention prévoit également un circuit intégré comprenant un capteur numérique de température et un port JTAG de communication avec l'extérieur du circuit, un registre d'entrée-sortie du circuit intégré étant connecté à un registre de mémorisation du résultat fourni par le convertisseur analogique-numérique.

L'invention prévoit également un circuit intégré, comprenant un capteur numérique de température et un bloc logique d'interprétation de la température courante mesurée par le capteur pour asservir la fréquence et/ou la tension d'alimentation du circuit intégré.

L'invention prévoit également un procédé d'asservissement de la fréquence d'horloge d'un circuit intégré numérique, consistant à faire varier la fréquence d'horloge de façon inversement proportionnelle à la température interne du circuit.

L'invention prévoit en outre un procédé d'asservissement de la tension d'alimentation d'un circuit intégré numérique, consistant à faire varier la tension d'alimentation de façon inversement proportionnelle à la température interne du circuit.

Selon un mode de mise en oeuvre de la présente invention, la température est mesurée au moyen d'un capteur intégré.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 représente, partiellement et sous forme de blocs un mode de réalisation d'un capteur thermique numérique selon la présente invention ;

la figure 2 représente le schéma électrique d'un capteur d'une tension variant avec la température selon un mode de réalisation de l'invention ;

la figure 3 représente un premier mode de réalisation d'un circuit d'étalonnage d'un capteur selon l'invention ;

la figure 4 représente un mode de réalisation d'un circuit d'activation du capteur de tension de la figure 2 ;

la figure 5 illustre, partiellement et sous forme de blocs, un premier exemple d'application de l'invention au test d'un circuit intégré ;

la figure 6 illustre, partiellement et sous forme de blocs, un deuxième exemple d'application de l'invention à l'asservissement d'une fréquence de fonctionnement et/ou d'une tension d'alimentation d'un circuit intégré en fonction de sa température interne ; et

la figure 7 représente, de façon très schématique, un deuxième mode de réalisation d'un circuit d'étalonnage du capteur de la figure 1.

Les mêmes éléments ont été désignés par les mêmes références aux différentes figures. Pour des raisons de clarté, seuls les éléments nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, les autres constituants du circuit sur lequel est intégré le capteur de l'invention n'ont pas été détaillés et

ne font pas l'objet de l'invention. Celle-ci s'applique quel que soit le type du circuit intégré et les fonctions qu'il intègre.

La figure 1 représente, partiellement et sous forme de blocs, un mode de réalisation d'un capteur thermique numérique, intégré dans un circuit 1 selon l'invention.

Ce capteur thermique comprend essentiellement un circuit 2 (TS) constituant un capteur d'une tension analogique V_{TH} variant avec la température du circuit intégré, un convertisseur analogique-numérique 3 (ADC) chargé de transformer une tension analogique variant avec la température en un mot numérique DT représentatif de la température mesurée, et un circuit 4 (CAL) d'étalonnage du convertisseur 3.

Selon l'invention et comme on le verra par la suite plus précisément en relation avec la figure 2, le circuit 2 de mesure fournit non seulement une tension V_{TH} indicatrice de la température mais également une tension V_{BG} de référence pour la conversion analogique-numérique. Cette tension V_{BG} est, par exemple, fournie au circuit d'étalonnage 4 ainsi qu'au convertisseur 3.

Le rôle du circuit d'étalonnage 4 est d'amplifier le signal V_{TH} en un signal analogique V_{AT} acceptable en entrée du convertisseur 3 et de fixer deux seuils V_{RLF} et V_{RHF} définissant la plage de conversion du convertisseur, c'est-à-dire une tension analogique V_{RLF} pour laquelle le convertisseur 3 fournit un signal DT ne comprenant que des bits à zéro et une tension analogique V_{RHF} pour laquelle le convertisseur 3 ne fournit que des bits à un. Le seuil inférieur V_{RLF} du convertisseur 3 correspond préférentiellement à la tension de référence V_{BG}. C'est pourquoi, dans la représentation de la figure 1, celle-ci est transmise directement du circuit 2 au convertisseur 3.

Le convertisseur 3 est un convertisseur analogique-numérique de constitution classique. En particulier, il fournit de préférence un signal EOC indicateur d'une fin de conversion suite à la réception d'un signal V_{AT} à convertir, généralement

sous commande d'un signal SOC de début de conversion (non représenté).

Dans le mode de réalisation préféré de la figure 1, le signal EOC est relié à une entrée d'horloge d'un registre 5 (TR) de stockage de la température DT fournie par le convertisseur 3 à chaque conversion. La sortie OUT du registre 5 est ensuite exploitée selon l'application souhaitée.

Comme l'illustrent les pointillés en figure 1, la température courante DT peut, le cas échéant, être fournie directement sur un port d'entrée-sortie du circuit 1. De même, les tensions V_{RLF} et V_{RHF} représentatives de la plage de fonctionnement du convertisseur ainsi que la tension analogique V_{AT} à convertir peuvent être fournies sur des bornes d'accès externe du circuit intégré 1.

La figure 2 représente le schéma électrique d'un mode de réalisation préféré du capteur analogique 2 de la figure 1. En figure 2, le capteur n'est représenté que partiellement. En particulier, un circuit d'activation de celui-ci sera décrit ultérieurement en relation avec la figure 4.

Selon l'invention, le circuit de la figure 2 constitue à la fois un élément de détection de la température interne au circuit intégré et un circuit de génération de la tension de référence V_{BG} de type à intervalle de bande (bandgap) utilisée par le circuit d'étalonnage 4 du convertisseur.

Le circuit de la figure 2 comprend une première branche comprenant un transistor bipolaire 10 de type PNP, monté en diode entre deux bornes 11 et 12 du capteur. Une borne 11 est reliée à l'émetteur du transistor 10 alors que sa base et son collecteur sont interconnectés à une borne 12 destinée à être reliée à un rail d'alimentation de référence basse de tension V_{SS} du circuit intégré (généralement la masse).

Une deuxième branche comprend un élément résistif 13, par exemple une résistance de valeur R1, et un transistor bipolaire de type PNP 14 monté en diode, en série entre une borne 15 et la borne 12. L'élément résistif 13 est interposé

entre la borne 15 et l'émetteur du transistor 14, dont la base et le collecteur sont interconnectés à la borne 12.

Une troisième branche de fourniture de la tension de référence V_{BG} comprend un transistor bipolaire 17 de type PNP en série avec une résistance 18 de valeur R2 entre une borne 19 de sortie du capteur fournissant la tension V_{BG} et la borne 12. L'émetteur du transistor 17 est relié à une première borne de la résistance 18 dont la deuxième borne est reliée à la borne 19 tandis que le collecteur du transistor 17 est relié à la borne 12. La base du transistor 17 est reliée aux bases des transistors 10 et 14 de sorte qu'il est également monté en diode.

Une quatrième branche de fourniture de la tension V_{TH} comprend un convertisseur courant-tension 20, entre une borne 21 de sortie du capteur fournissant la tension V_{TH} et la borne 12. Par exemple, le convertisseur courant-tension 20 est une résistance de valeur R3.

Selon l'invention, les transistors 10 et 14 sont de tailles différentes, le transistor 14 étant plus grand que le transistor 10, et les transistors 17 et 10 ont de préférence des tailles identiques.

Un circuit 30 sert d'une part à recopier la tension de la borne 11 sur la borne 15 et d'autre part de miroir de courant entre les quatre branches. Le circuit 30 est interposé entre un rail 18 d'alimentation haute V_{DD} et les bornes 11, 15, 19 et 21.

Le circuit 30 est, par exemple, constitué d'un miroir dit de Wilson. Un tel miroir comporte la connexion en parallèle, de quatre transistors MOS à canal P, P1, P2, P3 et P4 (un pour chaque branche), dont les sources respectives sont connectées à l'alimentation V_{DD}, le transistor P2 ayant sa grille et son drain interconnectés. Les drains respectifs des transistors P1 et P2 des deux premières branches du capteur sont connectés aux drains respectifs de deux transistors MOS à canal N respectivement N1 et N2 servant à recopier la tension de la borne 11 sur la borne 15, le transistor N1 ayant sa grille et son drain

interconnectés. Les sources respectives des transistors N1 et N2 sont reliées aux bornes 11 et 15. Côté troisième et quatrième branches, les drains respectifs des transistors P3 et P4 sont reliés directement aux bornes 19 et 21, donc aux résistances respectives 18 et 20.

Les grilles des transistors P1 à P4 sont interconnectées et sont destinées à recevoir un signal de commande V_{GP}. Les grilles respectives des transistors N1 et N2 sont interconnectées et sont destinées à recevoir un signal de commande V_{GN}. La génération des signaux V_{GP} et V_{GN} d'activation du capteur de la figure 2 est, de préférence, effectuée lorsque nécessaire au moyen d'un circuit d'activation spécifique dont un mode de réalisation préféré sera décrit par la suite en relation avec la figure 4. Le rôle d'un tel circuit d'activation est de limiter la consommation du capteur.

Le fonctionnement du circuit 2 de la figure 2 est le suivant.

Le courant I imposé par la source 30 dans la première branche du capteur peut s'exprimer de la façon suivante :

$$I = I_{sat10} \cdot \exp\left(\frac{q \cdot V_{BE10}}{n_{10} \cdot k \cdot T}\right), \text{ où}$$

I_{sat10}, V_{BE10} et n_{10} désignent respectivement le courant de saturation, la tension base-émetteur et le facteur d'idéalité du transistor 10.

Dans la deuxième branche du capteur, le courant I respecte les deux relations suivantes :

$V_{13} = R1 \cdot I$, où V_{13} désigne la chute de tension aux bornes de la résistance 13 ; et

$$I = I_{sat14} \cdot \exp\left(\frac{q \cdot V_{BE14}}{n_{14} \cdot k \cdot T}\right), \text{ où}$$

I_{sat14}, V_{BE14} et n_{14} désignent respectivement le courant de saturation, la tension base-émetteur et le facteur d'idéalité du transistor 14.

En notant A le rapport de taille entre les transistors 10 et 14, tel que $I_{sat14} = A \cdot I_{sat10}$, on peut écrire :

$$A = \exp\left(\frac{q}{k \cdot T} \cdot \left(\frac{V_{BE10}}{n_{10}} - \frac{V_{BE14}}{n_{14}}\right)\right).$$

Comme les transistors 10 et 14 sont formés simultanément et sont de même type, on peut considérer que $n_{10} = n_{14} = n$. On obtient alors :

$$V_{BE10} - V_{BE14} = \frac{n \cdot k \cdot T}{q} \ln(A).$$

D'autre part, la tension V_{13} est égale à la différence de tension entre la jonction base-émetteur du transistor 14 et le potentiel du point 15. Du fait de la recopie par l'élément 30 de la tension de la borne 11 sur la borne 15, on peut écrire :

$$V_{13} = V_{BE10} - V_{BE14}.$$

Enfin, dans la quatrième branche du capteur, le courant I vérifie la loi $V_{TH} = R3 \cdot I$, V_{TH} correspondant à la chute de tension aux bornes de la résistance 20.

On peut donc écrire :

$$I = \frac{V_{13}}{R1} = \frac{V_{TH}}{R3}, \text{ où } V_{13} = \frac{n \cdot k \cdot T}{q} \ln(A).$$

En reportant l'expression de la tension V_{13} en fonction de la température T, on obtient :

$$T = \frac{q}{n \cdot k \cdot \ln(A)} \cdot \frac{R1 \cdot V_{TH}}{R3}.$$

Pour déterminer la valeur de la température T, il suffit alors de déterminer la seule inconnue de l'équation ci-dessus, c'est-à-dire la tension V_{TH} aux bornes de la résistance 20 directement proportionnelle aux variations de température. Grâce à l'intégration du circuit 2 dans un même circuit intégré, le fonctionnement du capteur est indépendant du courant I.

Selon l'invention, l'interprétation de la tension V_{TH} s'effectue grâce au convertisseur 3 et à son circuit d'étalonnage 4, ce dernier étant étalonné, par exemple, lors d'une phase de test comme cela sera décrit ultérieurement.

La troisième branche (résistance 18 et transistor 17) du circuit 2 sert à produire la tension de référence V_{BG} de la conversion analogique-numérique. Cette tension V_{BG} doit être stable face à d'éventuelles variations de la température et de

la tension d'alimentation et face à d'éventuelles dispersions technologiques.

Dans la troisième branche, on peut écrire :

$V_{BG} = R2 + V_{BE17}$, où V_{BE17} représente la tension base-émetteur du transistor 17.

On peut donc exprimer la tension V_{BG} en fonction de la tension V_{TH} de la façon suivante :

$$V_{BG} = \frac{R2}{R3} \cdot V_{TH} + V_{BE17}.$$

De la relation ci-dessus, on voit que les dérives en température des deux termes de tension ajoutés se compensent. En effet, la tension V_{TH} a une dérive directement proportionnelle à la température avec un coefficient positif, c'est-à-dire qu'elle augmente avec la température. A l'inverse, la tension V_{BE17}, une tension base-émetteur d'un transistor PNP, a un coefficient de température négatif, c'est-à-dire qu'elle décroît avec l'augmentation de la température. Par conséquent, la tension V_{BG} est bien stable en température.

Comme tous les transistors constitutifs du circuit de la figure 2 sont formés simultanément et sont de même type, on peut considérer qu'ils subissent les mêmes éventuelles dérives liées aux dispersions technologiques.

Pour ce qui concerne la stabilité en tension d'alimentation, celle-ci est assurée grâce au circuit 30 de miroir de courant.

Les tensions V_{TH} et V_{BG} fournies par le circuit 2 sont exploitées par le circuit d'étalonnage 4 dont un mode de réalisation est illustré par la figure 3.

Le circuit 4 constitue en quelque sorte une interface analogique pour les entrées du convertisseur 3 de telle sorte que l'entrée basse impédance du convertisseur n'affecte pas la tension mesurée qui doit rester dépendante de la température. Le circuit 4 a également pour fonction d'amplifier si besoin le niveau mesuré V_{TH} en fonction de la résolution du convertisseur et de générer les niveaux de référence V_{RHF} et V_{RLF} correspondant aux niveaux de tension respectivement maximum et minimum de

l'échelle de conversion du convertisseur 3. Ces niveaux correspondent aux niveaux respectivement maximum et minimum possibles de la tension analogique V_{AT} fournie au convertisseur, c'est-à-dire $B \cdot V_{TH}$, où B représente l'amplification opérée sur la tension mesurée par le circuit 2.

Dans le mode de réalisation de la figure 3, on suppose que le niveau V_{BG} constitue directement le seuil bas V_{RLF} de conversion du convertisseur 3. Le circuit 4 se contente alors d'adapter l'impédance du niveau de tension V_{BG}, au moyen d'un amplificateur opérationnel 31 monté en suiveur (dont l'entrée inverseuse est rebouclée sur la sortie) qui fournit le niveau V_{RLF} et dont l'entrée non-inverseuse reçoit la tension V_{BG} du circuit 2.

Le seuil V_{RHF} est fixé, à partir de la tension V_{BG}, au moyen d'un amplificateur opérationnel 32 dont une entrée inverseuse reçoit le niveau V_{BG} et dont une entrée non-inverseuse est reliée au point milieu 33 d'un pont diviseur résistif constitué de deux résistances R32OUT et R32IN en série entre la sortie 34 de l'amplificateur 32 et le potentiel d'alimentation de référence V_{SS}. Les résistances R32IN et R32OUT sont des résistances ajustables pour fixer le rapport d'amplification de l'amplificateur 32 et, par voie de conséquence, le niveau maximal haut V_{RHF} de conversion, de façon stable par rapport à la tension V_{BG}. Pour des besoins d'adaptation d'impédance, la sortie 34 de l'amplificateur 32 est reliée en entrée d'un amplificateur opérationnel 35 monté en suiveur qui fournit le seuil V_{RHF} au convertisseur 3, l'entrée inverseuse de l'amplificateur 35 étant reliée à sa sortie tandis que son entrée non-inverseuse est reliée à la borne 34.

Côté tension V_{AT}, celle-ci est calibrée au moyen d'un amplificateur opérationnel 36 dont l'entrée inverseuse reçoit le niveau analogique V_{TH} mesuré par le circuit 2 et dont l'entrée non-inverseuse est reliée au point milieu 37 d'un pont diviseur résistif constitué de l'association en série de résistances R36OUT et R36IN entre la borne 38 de sortie de l'amplificateur

36 et le potentiel de référence V_{SS}. La borne 38 constitue la borne de sortie du circuit 4 fournissant la tension V_{AT} à convertir par le convertisseur 3. Les résistances R36IN et R36OUT fixent le rapport d'amplification B.

L'étalonnage du système au moyen du circuit 4 de la figure 3 consiste à soumettre le circuit à une température correspondante au seuil minimal (par exemple, -40°C) au moyen d'une source froide externe. Les résistances R36IN et R36OUT sont alors ajustées pour que le niveau V_{TH} fourni par le circuit 4 corresponde au niveau V_{BG} (c'est-à-dire, le niveau V_{RLF}). Cet ajustement peut être effectué soit en comparant les potentiels analogiques V_{TH} et V_{RLF}, soit en lisant la sortie du convertisseur 4 dont tous les bits doivent être à 0 lorsque la tension V_{TH} correspond au niveau minimal de l'échelle de conversion.

On soumet ensuite le circuit intégré à une température correspondant à la température maximale de la plage de conversion (par exemple, +125°C), toujours au moyen d'une source externe. On ajuste ensuite les résistances R32IN et R32OUT jusqu'à ce que la tension V_{RHF} soit égale à la tension V_{TH} mesurée. Comme pour l'étape précédente, on peut soit comparer les niveaux analogiques V_{TH} et V_{RHF}, soit examiner la sortie du convertisseur 3 dont tous les bits doivent être alors à l'état 1.

Pour chacun des amplificateurs 32 et 36, si le niveau de sortie est trop haut par rapport au niveau souhaité, on peut soit augmenter la résistance d'entrée (R32IN, respectivement R36IN) soit diminuer la résistance de réaction (R32OUT, respectivement R36OUT). Si le niveau de sortie est trop bas, on effectue l'opération inverse, c'est-à-dire qu'on diminue la résistance d'entrée ou qu'on augmente la résistance de réaction.

Le convertisseur analogique-numérique utilisé peut être n'importe quel convertisseur classique fournissant une sortie sur un nombre de bits choisi en fonction de la résolution souhaitée par le capteur. Si besoin, les entrées-sorties du convertisseur sont associées à des circuits décaleurs de niveaux

(non représentés) pour le cas où les tensions d'alimentation respectives du capteur 2 et du convertisseur 3 ne soient pas compatibles entre elles.

La figure 4 représente un mode de réalisation d'un circuit d'activation du détecteur thermique de la figure 2, c'est-à-dire d'un circuit propre à générer les tensions V_{GP} et V_{GN} sous déclenchement d'un signal d'activation EN. Ce circuit comprend un premier étage 40 de transistors MOS à canal P et un deuxième étage 50 de transistors MOS à canal N entre les rails hauts 18 et bas 12 d'alimentation. Les deux étages 40 et 50 reçoivent un même signal EN de commande et fournissent chacun respectivement la tension V_{GP} ou V_{GN} d'activation des transistors du circuit de la figure 1.

L'étage 40 comporte six transistors MOS à canal P 41 à 46 ayant leur source et leur substrat (bulk) connectés à l'alimentation haute V_{DD}. La grille du transistor 44 et le drain du transistor 45 constitue la borne de sortie fournissant le signal V_{GP}. Le drain du transistor 41 est connecté à la grille des transistors 43 et 45. La grille du transistor 41 est connectée à la grille d'un septième transistor MOS à canal P 47 monté en série avec le transistor 42, sa source étant connectée au drain et à la grille du transistor 42 monté en diode. Les grilles respectives des transistors 41 et 47 reçoivent le signal EN. Les drains des transistors 43 et 44 sont interconnectés à la grille du transistor 46 et constituent une borne 48 de liaison au deuxième étage 50. Le substrat (bulk) du transistor 47 est relié à l'alimentation haute V_{DD}. Son drain constitue une deuxième borne 49 de connexion au deuxième étage tandis que le drain du transistor 41 constitue une troisième borne 56 de connexion au deuxième étage.

L'étage 50 des transistors à canal N comporte cinq transistors MOS 51 à 55 dont toutes les sources sont reliées au rail d'alimentation de référence V_{SS}. Les grilles des transistors 51, 52 et 55 sont reliées à la borne d'entrée fournissant le signal EN. Le drain du transistor 51 est relié au drain

du transistor 51 (borne 56). Les grilles des transistors 52 et 54 sont interconnectées aux drains des transistors 53 et 52 (donc à la borne 49). Le drain du transistor 54 est relié à la borne 48 tandis que le drain du transistor 55 est relié au drain du transistor 46 de l'étage 40 et constitue la borne de fourniture de la tension de sortie V_{GN}.

Au repos, lorsque les transistors du capteur de température n'ont pas à être polarisés, le signal EN est à l'état haut (par exemple, au potentiel V_{DD}). Dans cet état, les transistors 43, 45, 51, 53 et 55 du circuit de la figure 4 sont passants, les transistors 41, 42, 44, 46, 47, 52 et 54 étant bloqués. Il en découle que le signal V_{GN} est à l'état bas (potentiel V_{SS}) tandis que le signal V_{GP} est à l'état haut. Par conséquent, les transistors du miroir de courant de la figure 2 sont bloqués.

Lors d'une activation du circuit par une mise à l'état bas (potentiel voisin de V_{SS}) de l'entrée EN, les transistors 41, 42, 44, 46, 47, 42 et 54 deviennent passants, les transistors 43, 45, 51, 53 et 55 se bloquant. En fait, le potentiel du noeud D42 (drain du transistor 42) initialement déchargé se met à croître. Il en est de même pour le potentiel du noeud 49 dans la mesure où aucun courant ne circule encore dans la branche constituée par les transistors 42, 47 et 52. La mise en conduction du transistor 54 provoque la mise en conduction du transistor 46. Un courant se met à circuler depuis le rail 18 jusqu'aux drain et base du transistor N1 (figure 2). Cela provoque la mise en conduction des transistors montés en miroir de la figure 2 et un courant I circule alors dans toutes les branches du capteur. En régime établi, le courant qui circule dans la branche constituée des transistors 42, 47 et 52 est identique au courant dans la branche constituée des transistors 44 et 54 par le montage en miroir des transistors 52 et 54. Ce courant est nettement inférieur au courant I. Les transistors du montage de la figure 4 sont dimensionnés pour que, dans ce régime établi, le potentiel du noeud 48 soit

supérieur à la tension seuil du transistor 46 de façon à arrêter la circulation du courant de démarrage vers le capteur qui nuirait autrement au fonctionnement de son miroir de courant.

Un avantage du capteur thermique numérique de l'invention est qu'il fournit un mot binaire DT représentatif de la température interne du circuit intégré. Par rapport à des capteurs externes constitués par exemple de thermistances ou analogue, la présente invention présente l'avantage de fournir une température précise, correspondant exactement à la température du substrat de silicium dans lequel sont intégrés les différents circuits.

Un autre avantage de l'invention est qu'en autorisant une intégration de tous les constituants du capteur de température et de sa conversion numérique dans une même puce de circuit intégré, on évite les problèmes liés aux dispersions technologiques ou aux différences de facteur d'idéalité des transistors bipolaires.

La figure 5 illustre, de façon très schématique et partielle, un premier exemple d'application de l'invention. Le circuit 60 représenté exploite le signal numérique DT fourni par le capteur de la figure 1, plus précisément à partir du contenu du registre 5.

Dans l'exemple de la figure 5, on considère le cas où le détecteur thermique est utilisé pour le test du circuit intégré qui le comporte et, notamment, pour déterminer la plage de températures de fonctionnement correct du circuit.

Selon cet exemple d'application, on commence par soumettre le circuit intégré à une source thermique externe. Puis, on déclenche une détection thermique au moyen d'un circuit logique de commande 61 (LOGIC CTRL). Ce circuit fournit au convertisseur analogique-numérique 3 (non représenté en figure 5) un signal SOC de début de conversion. Une entrée correspondante est généralement présente dans un convertisseur analogique-numérique. Le signal SOC peut également correspondre au signal EN d'activation du circuit de la figure 4 pour

déclencher une détection thermique. Un signal d'horloge non représenté est également requis pour le fonctionnement du convertisseur. Ce signal d'horloge est, par exemple, combiné avec le signal SOC pour être transmis au convertisseur uniquement sur commande du circuit 61.

Selon le mode de réalisation de la figure 5, la sortie du registre 5 est envoyée en entrée d'un registre JTAG 62 relié à un port d'entrée-sortie de type JTAG du circuit 60. L'entrée d'horloge du registre 62 est commandée par un multiplexeur 63 dont les deux entrées respectives reçoivent le signal EOC d'entrée d'horloge du registre 5 et un signal RC provenant du port JTAG (donc de l'extérieur du circuit 60) et correspondant à une horloge de lecture. Le multiplexeur est commandé par le bloc 61 de façon à déclencher de manière appropriée l'écriture et la lecture dans le registre 62. Le circuit 61 déclenche une mesure de la température puis son stockage dans le registre 62 en sélectionnant l'entrée EOC du multiplexeur 63. Lorsqu'un outil externe d'interprétation de la température le requiert par le signal de lecture RC, le registre JTAG 62 est lu pour fournir la température mesurée à l'extérieur. Le cas échéant, plusieurs températures successives peuvent être stockées dans les registres 5 et 62.

Un avantage qu'il y a à exploiter un registre JTAG d'un circuit intégré est qu'un tel registre est présent dans la plupart des circuits intégrés exécutant des fonctions numériques. De plus, les ports JTAG sont des ports bidirectionnels qui sont généralement utilisés pour configurer le circuit. L'invention tire alors profit de ce port bidirectionnel pour extraire une information sur la température, sans qu'il soit nécessaire de prévoir de borne spécifique sur le circuit intégré.

La mise en oeuvre pratique du mode d'application de la figure 5 est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

La figure 6 illustre, par une vue partielle et très schématique d'un circuit intégré 70, un deuxième exemple d'application de l'invention. Là encore, ce circuit exploite les signaux fournis par le circuit de la figure 1.

Le circuit de la figure 6 correspond à une nouvelle application permise par l'invention, à savoir un asservissement de la fréquence f et/ou de la tension d'alimentation V_{DD} du circuit intégré 70 en fonction de sa température interne de fonctionnement, mesurée par le circuit de la figure 1. Un bloc logique 71 (LOGIC CTRL) commande, par exemple, une boucle à verrouillage de phase 72 (PLL) fournissant la fréquence f d'horloge du circuit, et le cas échéant un convertisseur 73 (DC-DC) fournissant la tension V_{DD}. Par exemple, le circuit 71 déclenche périodiquement une mesure de température, par l'intermédiaire du signal SOC, et exploite les mesures de température pour modifier si besoin la fréquence f et/ou la tension V_{DD}.

Par exemple, lorsque le circuit 70 chauffe, on peut réduire la fréquence d'horloge de manière à en permettre un refroidissement accéléré. De la même façon, on peut intervenir sur la tension d'alimentation V_{DD} pour diminuer sa température. Dans ce cas, à la différence du mode de réalisation de test, on utilise la valeur instantanée de la température afin d'optimiser la consommation du circuit intégré.

L'invention tire profit du fait que les éléments commandant la fréquence et/ou la tension d'alimentation sont désormais le plus souvent à commande numérique.

La loi d'asservissement de la fréquence et/ou de la tension d'alimentation est contenue dans le bloc logique 71 et dépend de l'application.

La figure 7 représente un deuxième mode de réalisation d'un circuit d'étalonnage du convertisseur 3 du détecteur thermique de l'invention. Selon ce mode de réalisation, les différentes résistances R36IN, R36OUT, R32IN et R32OUT des amplificateurs opérationnels (symbolisés par le bloc 81 en

figure 7) sont constituées de réseaux de résistances commutables (par exemple, d'associations en parallèle de connexions en série d'interrupteurs commandables avec des résistances fixées). Les commutateurs des différents réseaux sont commandés par un circuit logique 82 (LOGIC) fournissant, pour chacun des réseaux résistifs, un nombre de signaux de commande correspondant aux nombres d'interrupteurs.

Le circuit 82 a pour rôle d'interpréter la sortie logique DT fournie par le convertisseur 3 et le niveau V_{AT} de sortie du réseau d'amplificateur 81 pour fixer les valeurs respectives des résistances d'amplification associées.

Le fonctionnement du circuit de la figure 7 se déduit de celui exposé en relation avec la figure 3. La constitution du circuit logique 82 en fonction des résultats souhaités est à la portée de l'homme du métier. Par exemple, les réseaux de résistances commutables sont constitués de résistances associées à des commutateurs fusibles. Dans ce cas, si la tension V_{AT} est trop élevée par rapport au niveau souhaité (que ce soit pour la détermination de l'amplification du niveau V_{TH} ou du seuil V_{RHF}), on cherche à augmenter la valeur d'entrée R36IN ou R32IN, ce qui revient, selon l'agencement série ou parallèle des résistances commutables, à ouvrir ou fermer les interrupteurs respectifs. Selon un autre exemple, les résistances commutables sont commandables par des interrupteurs de type transistors MOS dont les états respectifs sont retrouvés à chaque mise sous tension du circuit. On notera que le circuit logique 82 utilise préférentiellement un signal d'horloge lui permettant de commander le fonctionnement de ses différents constituants et notamment de bascules, compteurs et registres si nécessaires.

Un avantage du mode de réalisation de la figure 7 est qu'il permet un étalonnage automatique du capteur thermique de température, dans une phase initiale de fonctionnement.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme de l'art. En particulier, la réalisation pratique du circuit

intégré est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus. De plus, la structure particulière du circuit 30 décrite en relation avec la figure 2 l'est uniquement à titre d'exemple et toute autre structure de recopie de courant et de tension stable en température et en tension d'alimentation pourra être envisagée.

REVENDICATIONS

1. Capteur numérique de température en circuit intégré comprenant :

un convertisseur analogique-numérique (3) fournissant un mot binaire (DT) représentatif d'une température interne au circuit intégré ; et

un circuit (2) de fourniture d'une tension analogique (V_{TH}) représentative de la température du circuit et de génération d'une tension de référence (V_{BG}) pour le convertisseur analogique-numérique.

2. Capteur selon la revendication 1, caractérisé en ce que ledit circuit de fourniture (2) comprend, en parallèle entre des première, deuxième, troisième et quatrième bornes (11, 15, 19, 21) d'un miroir de courant (30) fournissant toutes un courant identique (I) depuis un rail haut d'alimentation (V_{DD}) et recopiant la tension de la première sur la deuxième borne, et un rail d'alimentation bas (V_{SS}), respectivement :

un premier transistor bipolaire de type PNP (10) monté en diode ;

un premier élément résistif (13) en série avec un second transistor bipolaire de type PNP (14) monté en diode, le deuxième transistor bipolaire étant de taille supérieure au premier ;

un deuxième élément résistif (18) en série avec un troisième transistor bipolaire (17) de type PNP monté en diode, le troisième transistor bipolaire étant de taille identique au premier et ladite troisième borne (19) fournissant la tension de référence (V_{BG}) ; et

un élément de conversion courant-tension (20), ladite quatrième borne (21) fournissant la tension analogique (V_{TH}) représentative de la température.

3. Capteur selon la revendication 2, caractérisé en ce qu'il comporte un miroir de tension constitué de deux transistors MOS à canal N (N1, N2), recopiant la tension entre lesdites première et deuxième bornes.

reçue le 07/04/03

REVENDICATIONS

1. Capteur numérique de température en circuit intégré comprenant :

un convertisseur analogique-numérique (3) fournissant un mot binaire (DT) représentatif d'une température interne au circuit intégré ; et

un circuit (2) de fourniture d'une tension analogique (V_{TH}) représentative de la température du circuit et de génération d'une tension de référence (V_{BG}) pour le convertisseur analogique-numérique.

2. Capteur selon la revendication 1, caractérisé en ce que ledit circuit de fourniture (2) comprend, en parallèle entre des première, deuxième, troisième et quatrième bornes (11, 15, 19, 21) d'un miroir de courant (30) fournissant toutes un courant identique (I) depuis un rail haut d'alimentation (V_{DD}) et recopiant la tension de la première sur la deuxième borne, et un rail d'alimentation bas (V_{SS}), respectivement :

un premier transistor bipolaire de type PNP (10) monté en diode ;

un premier élément résistif (13) en série avec un second transistor bipolaire de type PNP (14) monté en diode, le deuxième transistor bipolaire étant de taille supérieure au premier ;

un deuxième élément résistif (18) en série avec un troisième transistor bipolaire (17) de type PNP monté en diode, le troisième transistor bipolaire étant de taille identique au premier et ladite troisième borne (19) fournissant la tension de référence (V_{BG}) ; et

un élément de conversion courant-tension (20), ladite quatrième borne (21) fournissant la tension analogique (V_{TH}) représentative de la température.

3. Capteur selon la revendication 2, caractérisé en ce qu'il comporte un miroir de tension constitué de deux transistors MOS à canal N (N1, N2), recopiant la tension entre lesdites première et deuxième bornes.

4. Capteur selon la revendication 2 ou 3, caractérisé en ce que ledit élément de conversion est une résistance (20).

5. Capteur selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il comporte en outre un circuit (4) d'étalonnage du convertisseur analogique-numérique (3) propre à fournir des tensions respectives haute (V_{RHF}) et basse (V_{RLF}) déterminant la plage de conversion du convertisseur, la tension basse correspondant à ladite tension de référence (V_{BG}).

6. Capteur selon la revendication 5, caractérisé en ce que le circuit d'étalonnage (4) comporte un premier amplificateur opérationnel (32) dont une entrée non-inverseuse reçoit ladite tension de référence (V_{BG}) et dont la sortie fournit ledit seuil haut de conversion (V_{RHF}), l'entrée non-inverseuse du premier amplificateur étant reliée au point milieu (33) d'une association en série de deux éléments résistifs variables (R32IN et R32OUT) entre la borne de sortie (34) du premier amplificateur et le potentiel de référence (V_{SS}) ; et

un deuxième amplificateur opérationnel (36) dont une borne d'entrée inverseuse reçoit la tension analogique (V_{TH}) fonction de la température et dont une entrée non-inverseuse est connectée au point milieu (37) de deux éléments résistifs (R36IN et R36OUT) connectés en série entre la borne de sortie dudit deuxième amplificateur opérationnel et le potentiel de référence (V_{SS}), le deuxième amplificateur opérationnel fournissant une tension amplifiée à convertir par ledit convertisseur analogique-numérique (3).

7. Capteur selon la revendication 6, caractérisé en ce que lesdits éléments résistifs variables (R32IN, R32OUT, R36IN et R36OUT) sont constitués de réseaux de résistances commutables.

8. Circuit intégré, caractérisé en ce qu'il comprend un capteur numérique de température selon l'une quelconque des revendications 1 à 7, et un port JTAG de communication avec l'extérieur du circuit, un registre (62) d'entrée-sortie du circuit intégré étant connecté à un registre (5) de mémorisation

4. Capteur selon la revendication 2 ou 3, caractérisé en ce que ledit élément de conversion est une résistance (20).

5. Capteur selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il comporte en outre un circuit (4) d'étalonnage du convertisseur analogique-numérique (3) propre à fournir des tensions respectives haute (V_{RHF}) et basse (V_{RLF}) déterminant la plage de conversion du convertisseur, la tension basse correspondant à ladite tension de référence (V_{BG}).

6. Capteur selon la revendication 5, caractérisé en ce que le circuit d'étalonnage (4) comporte un premier amplificateur opérationnel (32) dont une entrée non-inverseuse reçoit ladite tension de référence (V_{BG}) et dont la sortie fournit ledit seuil haut de conversion (V_{RHF}), l'entrée non-inverseuse du premier amplificateur étant reliée au point milieu (33) d'une association en série de deux éléments résistifs variables (R32IN et R32OUT) entre la borne de sortie (34) du premier amplificateur et le potentiel de référence (V_{SS}) ; et

un deuxième amplificateur opérationnel (36) dont une borne d'entrée inverseuse reçoit la tension analogique (V_{TH}) fonction de la température et dont une entrée non-inverseuse est connectée au point milieu (37) de deux éléments résistifs (R36IN et R36OUT) connectés en série entre la borne de sortie dudit deuxième amplificateur opérationnel et le potentiel de référence (V_{SS}), le deuxième amplificateur opérationnel fournissant une tension amplifiée à convertir par ledit convertisseur analogique-numérique (3).

7. Capteur selon la revendication 6, caractérisé en ce que lesdits éléments résistifs variables (R32IN, R32OUT, R36IN et R36OUT) sont constitués de réseaux de résistances commutables.

8. Circuit intégré, caractérisé en ce qu'il comprend un capteur numérique de température selon l'une quelconque des revendications 1 à 7, et un port JTAG de communication avec l'extérieur du circuit, un registre (62) d'entrée-sortie du circuit intégré étant connecté à un registre (5) de mémorisation

du résultat fourni par le convertisseur analogique-numérique (3).

9. Circuit intégré, caractérisé en ce qu'il comprend un capteur numérique de température selon l'une quelconque des revendications 1 à 7, et un bloc logique (71) d'interprétation de la température courante mesurée par le capteur pour asservir la fréquence (f) et/ou la tension d'alimentation (V_{DD}) du circuit intégré.

10. Procédé d'asservissement de la fréquence d'horloge (f) d'un circuit intégré numérique, caractérisé en ce qu'il consiste à faire varier la fréquence d'horloge de façon inversement proportionnelle à la température interne du circuit.

11. Procédé selon la revendication 10, caractérisé en ce que la température est mesurée au moyen d'un capteur selon l'une quelconque des revendications 1 à 7.

12. Procédé d'asservissement de la tension d'alimentation (V_{DD}) d'un circuit intégré numérique, caractérisé en ce qu'il consiste à faire varier la tension d'alimentation de façon inversement proportionnelle à la température interne du circuit.

13. Procédé selon la revendication 12, caractérisé en ce que la température est mesurée au moyen d'un capteur selon l'une quelconque des revendications 1 à 7.

du résultat fourni par le convertisseur analogique-numérique (3).

9. Circuit intégré, caractérisé en ce qu'il comprend un capteur numérique de température selon l'une quelconque des revendications 1 à 7, et un bloc logique (71) d'interprétation de la température courante mesurée par le capteur pour asservir la fréquence (f) et/ou la tension d'alimentation (V_{DD}) du circuit intégré.

10. Procédé d'asservissement de la fréquence d'horloge (f) d'un circuit intégré numérique, caractérisé en ce qu'il consiste à faire varier la fréquence d'horloge de façon inversement proportionnelle à la température interne du circuit, la température étant mesurée au moyen d'un capteur selon l'une quelconque des revendications 1 à 7.

11. Procédé d'asservissement de la tension d'alimentation (V_{DD}) d'un circuit intégré numérique, caractérisé en ce qu'il consiste à faire varier la tension d'alimentation de façon inversement proportionnelle à la température interne du circuit, la température étant mesurée au moyen d'un capteur selon l'une quelconque des revendications 1 à 7.

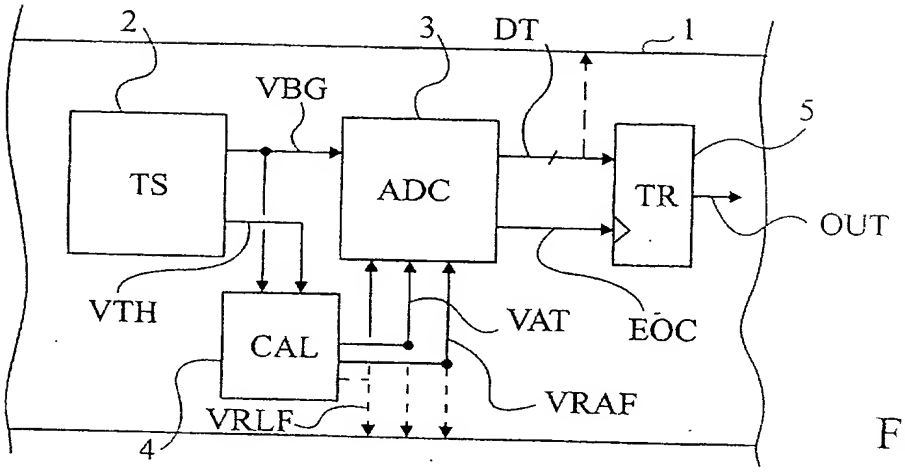


Fig 1

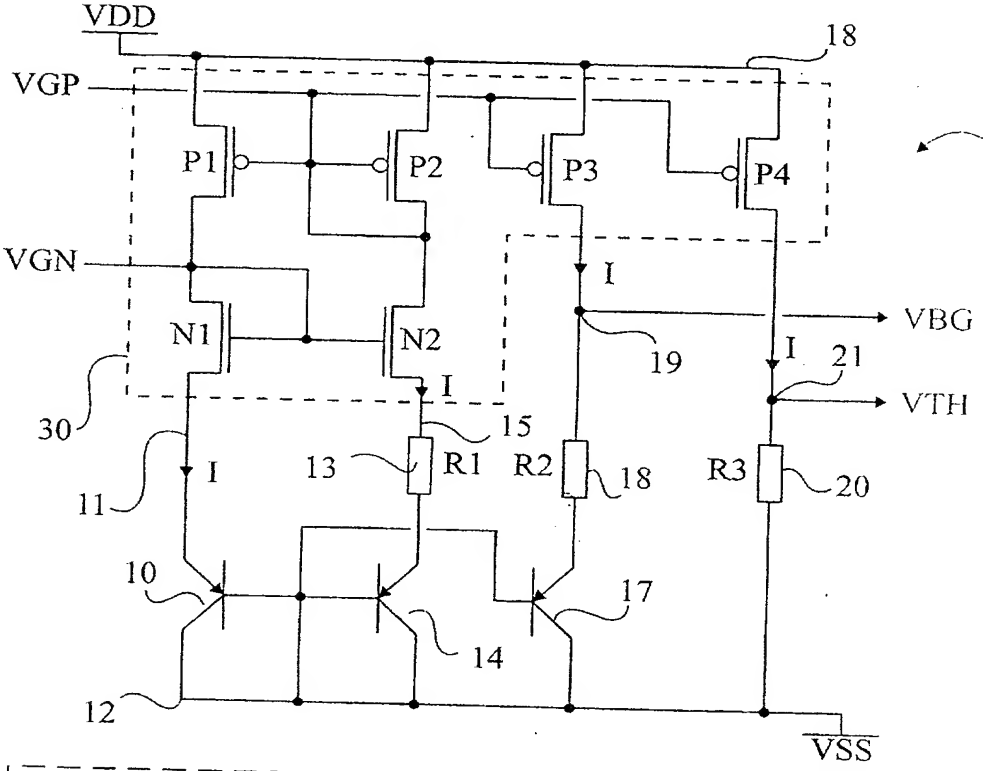


Fig 2

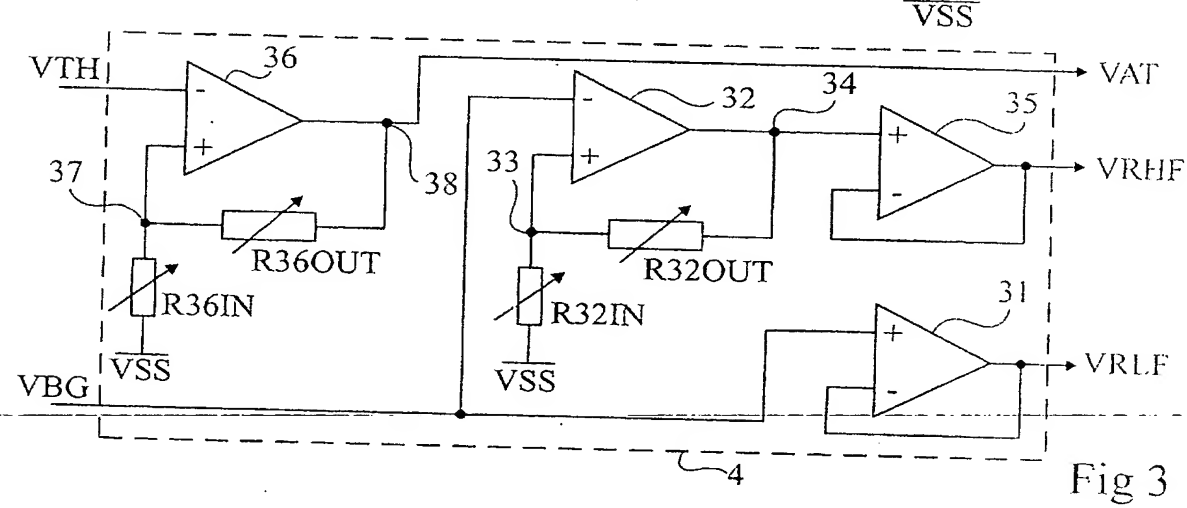


Fig 3

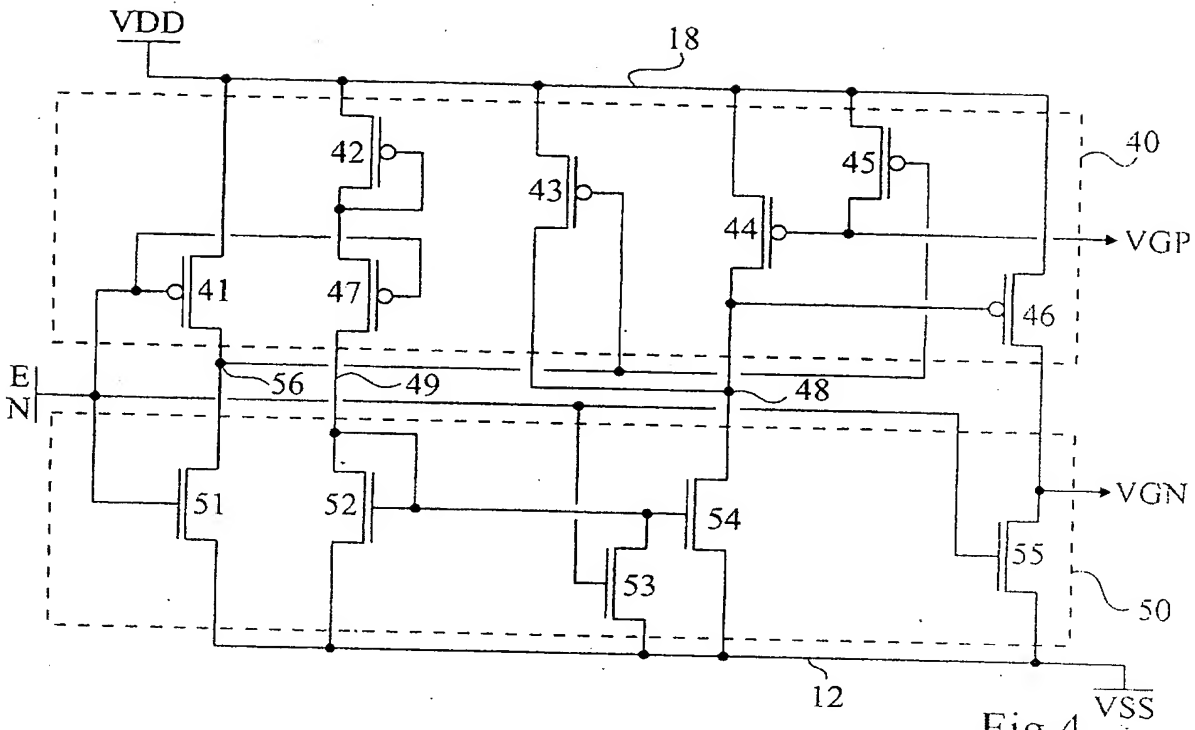


Fig 4

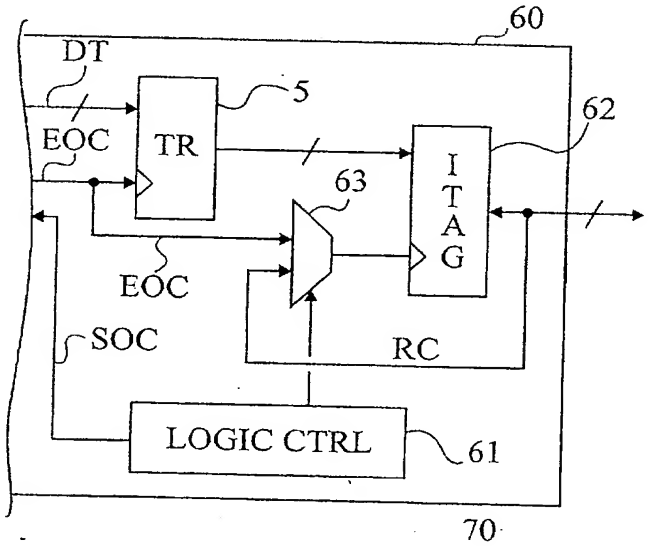


Fig 5

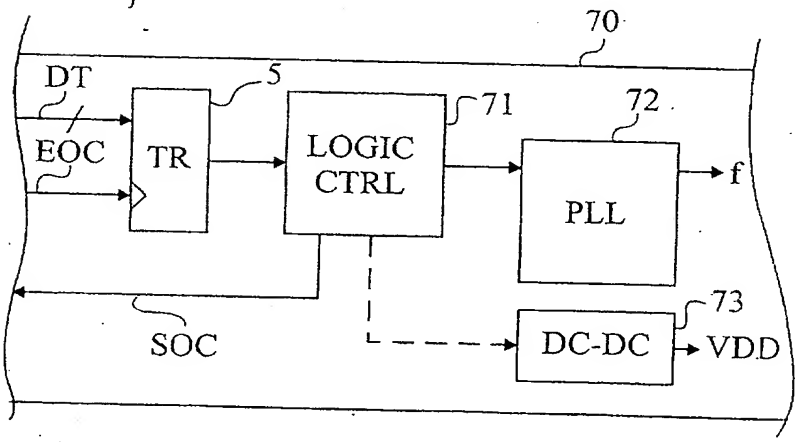


Fig 6

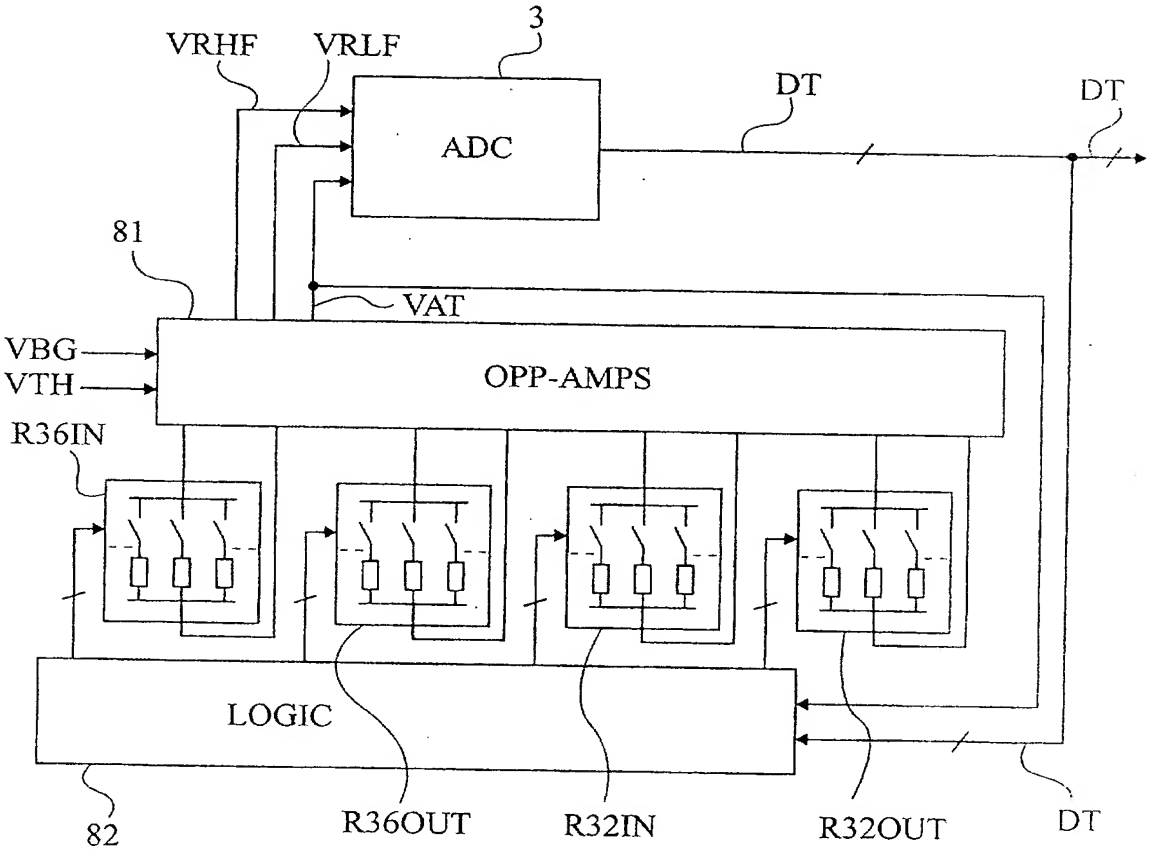

VRHF
VRLF
3
ADC
DT
DT
81
VAT
VBG
VTH
OPP-AMPS
R36IN
LOGIC
82
R36OUT
R32IN
R32OUT
DT

Fig 7

reçue le 07/03/03

INPI
INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE
DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

cerfa N° 55 -1328

BREVET D'INVENTION, CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier *(facultatif)*	B5637
N° D'ENREGISTREMENT NATIONAL	0212552

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

CAPTEUR NUMÉRIQUE DE TEMPÉRATURE INTÉGRÉ

LE(S) DEMANDEUR(S) :

STMicroelectronics SA

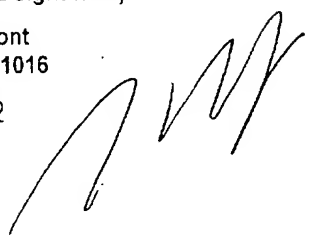
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).

Prénoms & Nom		Davide Tesi	
ADRESSE	Rue	10, Chemin du Mont-Blanc	
	Code postal et ville	01210	FERNEY-VOLTAIRE, FRANCE
Société d'appartenance *(facultatif)*			
Prénoms & Nom		Ugo Zampieri	
ADRESSE	Rue	3 bis, Chemin du Moulin des Ponts	
	Code postal et ville	01630	SAINT GENIS POUILLY, FRANCE
Société d'appartenance *(facultatif)*			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			

DATE ET SIGNATURE (S)
DU (DES) DEMANDEUR(S)
OU DU MANDATAIRE
(Nom et qualité du signataire)

Michel de Beaumont
Mandataire n° 92-1016

Le 9 octobre 2002



La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.